

Translation of the attached sheet (Japanese text portions only)  
Background Art Information

Patent No./Publication      Inventor(s)/Author(s)      Date etc

Jpn. Pat. Appln. KOKOKU No. 3-18218; Jeri Lin Garver  
[Transliterated]; George Luis Nazario [Transliterated] and Victor Michel  
Chimi [Transliterated]; Filing Date: August 16, 1985; Publication Date:  
July 29, 1986

\*Concise Explanation

The publication describes a memory protection device designed for a cartridge which has a readable/writable memory and which can be installed in a host machine. The memory protection device is provided with a writing-prohibiting circuit. When the cartridge is separated from the host machine, the memory protection device senses a floating state of terminals. Thus, data stemming from electrostatic charge or other factors is reliably prevented from being written in the memory.

\*Concise Explanation

\*Concise Explanation

Prior Applications of Inventors or of Kabushiki Kaisha Toshiba (Assignee)

Application No.	Toshiba Reference	Country	Agent	memo
-----------------	-------------------	---------	-------	------

Inventor(s)

Signature & Date

Patent engineer's comment on inventor's information or patent engineer's information

the same as above

\*

Checked by

Dated

Toshiba Reference

Japanese Agent's Ref

sheet



02jun04 11:16:40 User244515 Session D1681.1  
Sub account: 008312-0305989 NH

File 345:Inpadoc/Fam.& Legal Stat 1968-2004/UD=200421

(c) 2004 EPO

S1 1 PN=JP 91018218

1/5/1

DIALOG(R) File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

6373763

Basic Patent (No,Kind,Date): EP 187953 A2 860723 <No. of Patents: 007>

PATENT FAMILY:

GERMANY (DE)

Patent (No,Kind,Date): DE 3583019 C0 910704

SPEICHERKASSETTENSCHUTZ. (German)

Patent Assignee: IBM (US)

Author (Inventor): GERBER JERI LYNN (US); NAZARIO JORGE LUIS (US);

SIMI VICTOR MICHAEL (US)

Priority (No,Kind,Date): US 691022 A 850114

Applic (No,Kind,Date): EP 85115697 A 851210

IPC: \* G11C-005/00; G11C-007/00

Derwent WPI Acc No: \* G 86-190852

Language of Document: German

EUROPEAN PATENT OFFICE (EP)

Patent (No,Kind,Date): EP 187953 A2 860723

CARTRIDGE MEMORY PROTECTION (English)

Patent Assignee: IBM (US)

Author (Inventor): GERBER JERI LYNN; NAZARIO JORGE LUIS; SIMI VICTOR MICHAEL

Priority (No,Kind,Date): US 691022 A 850114

Applic (No,Kind,Date): EP 85115697 A 851210

Designated States: (National) DE; FR; GB

IPC: \* G11C-005/00

Derwent WPI Acc No: \* G 86-190852

Language of Document: English

Patent (No,Kind,Date): EP 187953 A3 880720

CARTRIDGE MEMORY PROTECTION (English; French; German)

Patent Assignee: IBM (US)

Author (Inventor): GERBER JERI LYNN; NAZARIO JORGE LUIS; SIMI VICTOR MICHAEL

Priority (No,Kind,Date): US 691022 A 850114

Applic (No,Kind,Date): EP 85115697 A 851210

Designated States: (National) DE; FR; GB

IPC: \* G11C-005/00; G11C-007/00

Derwent WPI Acc No: \* G 86-190852

Language of Document: English

Patent (No,Kind,Date): EP 187953 B1 910529

CARTRIDGE MEMORY PROTECTION (English; French; German)

Patent Assignee: IBM (US)

Author (Inventor): GERBER JERI LYNN (US); NAZARIO JORGE LUIS (US); SIMI VICTOR MICHAEL (US)

Priority (No,Kind,Date): US 691022 A 850114

Applic (No,Kind,Date): EP 85115697 A 851210

Designated States: (National) DE; FR; GB



IPC: \* G11C-005/00; G11C-007/00  
Derwent WPI Acc No: \* G 86-190852  
Language of Document: English

JAPAN (JP)

Patent (No,Kind,Date): JP 61168062 A2 860729  
MEMORY PROTECTOR (English)  
Patent Assignee: IBM  
Author (Inventor): JIERI RIN GAABAA; JIYOOJI RUISU NAZARIO; BIKUTAA  
MAIKERU SHIMI  
Priority (No,Kind,Date): US 691022 A 850114  
Applic (No,Kind,Date): JP 85179574 A 850816  
IPC: \* G06F-012/16; G11C-011/34  
Language of Document: Japanese  
Patent (No,Kind,Date): JP 91018218 B4 910312  
Patent Assignee: IBM  
Author (Inventor): JIERI RIN GAABAA; JOOJI RUISU NAZARIO; BIKUTAA  
MAIKERU SHIMI  
Priority (No,Kind,Date): US 691022 A 850114  
Applic (No,Kind,Date): JP 85179574 A 850816  
IPC: \* G06F-012/16; G06F-001/18; G11C-005/00  
Language of Document: Japanese

UNITED STATES OF AMERICA (US)

Patent (No,Kind,Date): US 4607351 A 860819  
CARTRIDGE MEMORY PROTECTION (English)  
Patent Assignee: IBM (US)  
Author (Inventor): GERBER JERI L (US); NAZARIO JORGE L (US); SIMI  
VICTOR M (US)  
Priority (No,Kind,Date): US 691022 A 850114  
Applic (No,Kind,Date): US 691022 A 850114  
National Class: \* US 365228000; US 307066000; US 365229000  
IPC: \* G11C-005/00  
Language of Document: English



File 351:Derwent WPI 1963-2004/UD,UM &UP=200434

(c) 2004 Thomson Derwent

S1 1 PN=US 4607351

1/5/1

DIALOG(R)File 351:Derwent WPI

(c) 2004 Thomson Derwent. All rts. reserv.

004687510

WPI Acc No: 1986-190852/198630

XRPX Acc No: N86-142630

Plug-in cartridge memory data protection circuit - provides data read signal on memories to prevent data write when cartridge is unplugged

Patent Assignee: IBM CORP (IBMC )

Inventor: GERBER J L; NAZARIO J L; SIMI V M

Number of Countries: 004 Number of Patents: 004

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week	
EP 187953	A	19860723	EP 85115697	A	19851210	198630	B
US 4607351	A	19860819	US 85691022	A	19850114	198636	
EP 187953	B	19910529				199122	
DE 3583019	G	19910704				199128	

Priority Applications (No Type Date): US 85691022 A 19850114

Cited Patents: 2.Jnl.Ref; A3...8829; No-SR.Pub; US 4485456

Patent Details:

Patent No Kind Lan Pg Main IPC Filing Notes

EP 187953 A E 11

Designated States (Regional): DE FR GB

EP 187953 B

Designated States (Regional): DE FR GB

Abstract (Basic): EP 187953 B

The read-write control input (64) activates a memory element (40a...d) for reading or writing according to its logic state. A bipolar switching transistor (52) is turned on or off according to whether the cartridge is unplugged or not. A resistor (56) connects the collector of the transistor to the supply rail from the battery (13).

When the cartridge (1) is unplugged a chip selecting circuit (27) is disabled by a high voltage on a line (42). The switching transistor is biased off positively since it is current-activated and terminals (5h,i) to it are not connected to any reference. The battery voltage is applied to the line (64) to the memories read-write control, which represents a read input.

USE - For plug-in cartridges with back-up battery. (11pp

Dwg.No.1/1)

Title Terms: PLUG; CARTRIDGE; MEMORY; DATA; PROTECT; CIRCUIT; DATA; READ; SIGNAL; MEMORY; PREVENT; DATA; WRITING; CARTRIDGE; UNPLUGGING

Derwent Class: T01; U14

International Patent Class (Additional): G11C-005/00; G11C-007/00

File Segment: EPI

minutes)



⑩ 日本国特許庁 (JP)

⑪ 特許出願公告

⑫ 特許公報 (B2)

平3-18218

⑬ Int. CL.  
G 06 F 12/16  
1/18  
G 11 C 5/00

識別記号  
B 7737-5B  
303 Z 7131-5B  
7459-5B

⑭ 公告 平成3年(1991)3月12日  
G 06 F 1/00 320 H  
発明の数 1 (全6頁)

⑮ 発明の名称 メモリ保護装置

⑯ 特願 昭60-179574  
⑯ 出願 昭60(1985)8月16日

⑯ 公開 昭61-168062  
⑯ 昭61(1986)7月29日

優先権主張 ⑯ 1985年1月14日 ⑯ 米国(US) ⑯ 691022

⑰ 発明者 ジエリ・リン・ガーバー アメリカ合衆国ケンタッキー州レキシントン、ペリウ・ウッド・ドライブ3785番地  
一  
⑱ 発明者 ジョージ・ルイス・ナザリオ アメリカ合衆国ケンタッキー州レキシントン、ホワイトホール・プレース1031番地  
⑲ 発明者 ピクター・マイケル・シミ アメリカ合衆国ケンタッキー州レキシントン、クレイス・ミル・ロード6561番地  
⑳ 出願人 インターナショナル ビジネス マシーンズ アメリカ合衆国 10504 ニューヨーク州 アーモンク  
コーポレーション  
㉑ 代理人 弁理士 山本 仁朗 外1名  
審査官 吉岡 浩  
㉒ 参考文献 特開 昭59-90279 (JP, A) 特開 昭58-194186 (JP, A)  
実開 昭56-9139 (JP, U)

1

㉓ 特許請求の範囲

- 1 パツテリと、第1の電圧レベルで読み取りを行い、第2の電圧レベルで書き込みを行う制御ラインを有する少なくとも1つのメモリとをもつメモリ装置において、  
(a) 上記パツテリにコレクタを接続されてなるハイポーラ・トランジスタと、  
(b) 上記トランジスタのベースにホスト・マシンを接続するための第1の端子と、  
(c) 上記トランジスタのエミッタにホスト・マシンを接続するための第2の端子と、  
(d) 上記トランジスタのベース・エミッタ間の電流を感知し、該電流の欠如に応答して上記トランジスタをターンオフさせ、以て上記パツテリから上記制御ラインに上記第1の電圧レベルを与えるように上記トランジスタのコレクタを上記制御ラインに接続するための手段、

2

とを具備するメモリ保護装置。

㉔ 発明の詳細な説明

以下の順序で本発明を説明する。

A 産業上の利用分野

5 B 開示の概要

C 従来技術

D 発明が解決しようとする問題点

E 問題点を解決するための手段

F 實施例

G 発明の効果

A 産業上の利用分野

この発明は、プラグイン・カートリッジ内に配置されたメモリのデータを保護するための回路に関するものである。プラグイン・カートリッジにおいては、そのようなメモリは、メモリに記憶されたデータを変更すべく電圧を加えられる制御ラインをもつている。典型的には、そのようなメモ

りは、接続された回路素子を支持する回路ポート上に取り付けられた半導体回路チップ上に存在している。一方、回路ボードは保護ハウジングまたはカートリッジにより囲まれている。回路ボード上の接点は、主マシンに挿入されたとき主マシンの接点と適合する。このハウジングは、カートリッジがプラグインされていないときに最小限のメモリ動作を保持する程度に有効なバッテリを有している。

#### B 開示の概要

本発明による開示内容を図面との対応で述べると、カートリッジ1は、メモリ40a～40hとバックアップ用のバッテリ13とを備えている。カートリッジ1の端子5a～5iは、ホスト・マシン3の端子7a～7iに挿入される。そして、書き込み制御の非活動化は、カートリッジ1が取り外されるとき、バイポーラ・トランジスタ52のベース及びエミッタが非活動化されることにより達成される。次にトランジスタ52のコレクタに接続した抵抗56を介してバッテリ電圧が読み取り／書き込み制御ライン64にあらわれる。これにより制御ライン64は読み取り状態に移行し、メモリ40a～40h中のデータが遷移しないように保護される。このデータの遷移は、従来特にホスト・マシンの通電状態でプラグインを行つたり、静電的なチャージにより生じうるものである。

#### C 従来技術

従来、挿入されていないときに有効となるバッテリをもつプラグイン・メモリは周知であつて、例えばIBMテクニカル・ディスクロジヤ・ブレティン (Technical Disclosure Bulletin) Vol.15, No.11, 1973年4月、pp.3408-3409のアトキンソン (Atkinson) 他による“差し込み可能な記憶モジュール (Pluggable Storage Modules)”という文献や、同じくIBMテクニカル・ディスクロジヤ・ブレティンVol.14, No.9, 1972年2月、pp.2712-2713のアンダーソン (Anderson) らによる“揮発メモリ・データ保持 (Volatile Memory Data Retention)”という文献や、米国特許第4229804号や、英国特許第155013号などに述べられている。

しかし、これらの従来技術は、メモリの内容を保護するためにメモリ端子上で動作する回路を含

んでいない。例えば上記英國特許第1554013号には、プラグイン・メモリのすべての端子に対して静電気が発生するのを防止するために低インピーダンスの経路を設けることが開示されているが、これは決して、メモリに対してデータを保護し得る制御信号を与えるものではない。

米国特許第4485456号は、入力端子をもつ固定データ処理システムの一部であるメモリ中で情報を保持するためのものであり、保持電圧はメモリと、メモリに書き込み禁止信号を与えるラツチまたは論理回路に供給される。そして、システムの入力端子のうちの1つに加えられる信号がラツチまたは論理回路に加えられる1つの制御信号である。

米国特許第4445198号はプラグイン・メモリに関するものではないし、保持バッテリをもつシステムに関するものではない。この特許は、電力の消失間に生じる低電圧レベルにおいて、マイクロプロセッサがメモリに不正確なデータを書き込んでしまうという特殊な問題に関するものである。これに対応するために、通常は必ず正常な電圧レベルにある、書き込みを許容するために必要なメモリへの電圧入力が、電力が消失したときに反対極性の電圧によつて置きかえられる。

#### D 発明が解決しようとする問題点

この発明の目的は、揮発性のメモリをもつカートリッジにおいて、カートリッジがホスト・マシンに挿入されていない期間にメモリの記憶内容を保護するための回路を提供することにある。

#### E 問題点を解決するための手段

現在ホスト・マシンにより通電を受けている端子にカートリッジ・メモリを着脱するときに、遷移電流などによつてカートリッジのRAMのデータの損失が生じる、ということは重要な関心事である。また、カートリッジを通常に扱うときに、カートリッジに発生しましたは印加された静電的なチャージにより、カートリッジのRAMのデータが損なわれる、ということもあり得る。

この発明によれば、メモリの書き込みライン制御を冗長且つ積極的に非活動化することにより、メモリ内容の保護が保証される。書き込みライン信号は、カートリッジ中のバッテリにより電圧を印加され、そのベースにはホスト・マシンからの信号を伝達する端子を接続されてなるバイポー

ラ・トランジスタを介してバッファされる。この信号は、カートリッジの任意のRAMが活動化されまたは選択されたとき高レベルとなる。そのトランジスタのエミッタは、メモリへの書き込み動作の間は低レベルになるホスト・マシンからの信号を伝達する端子に接続される。

そして、カートリッジが挿入されていない間は、その双方の信号が欠如し、これによりトランジスタが非活動化される。トランジスタの非活動化により、バッテリから高レベル信号がブル・アップ抵抗を介してメモリ書き込みラインに接続され、これによりメモリの書き込み動作が積極的に非活動化されるとともに、メモリ内容の高いレベルの保護が行なわれる。

#### F 実施例

図において、右側に位置する素子はカートリッジ内の素子であり、カートリッジ1を形成するカバー内に収められていると理解されたい。このカートリッジは一般的には、個人的に取り扱われホスト・マシン3に挿入するのに適したものである。尚、カートリッジ1については端子5a～5iのみが図示され、その他の端子はこの発明に直接関係がないので図示を省略されている。ホスト・マシン3上の各端子7a～7iは端子5a～5iに個別に接触するように適合する。好適には、端子5a～5iはカートリッジ中の電子素子を支持する回路ボードの端面上の長方形のパターンであり、一方端子7a～7iは、電気的接触をはかるために、対応する端子5a～5iに対して押しつけられる弾性の接点である。そのような接点は完全に従来のものでよく、従つて図示された構造は単に信号にすぎず、何ら特定の構造をあらわす意図はないことに注意されたい。

カートリッジ1の端子5aは、バッテリ13の電圧線とダイオード11とに接続されている。図中でライン9については、その電圧は、文字Vとバッテリの共通記号とにより表示されている。このことは、カートリッジ1に接点7aを介して電力が供給されていないときには、カートリッジ1のバッテリ13によって電力が供給されるということを強調するものである。接点7aは、通常バッテリ13の電圧によりわずかに大きい電圧V1を与え、これによりダイオード11が逆バイアスされてライン9に電力が供給される。一方、カ-

トリッジ1が差し込まれていないときは、ダイオード11が順方向にバイアスされてライン9上の電圧がバッテリ13により供給される。

端子5b及び7bは、アース基準レベルに接続されている。バッテリ13とダイオード11の間の抵抗15は電流制限器であり、ダイオード11が損傷した場合にバッテリ13の放電を防止するための安全手段として使用される。すなわち、もし万が一カートリッジ1を差し込んだときにダイオード11が短絡しているなら、ホスト・マシン3から供給された電力がバッテリ13に被害を与える虞れがあり、これを防止するために抵抗15が挿入されている。

キヤバシタ17は、キヤバシタのパンクまたはそれと同等のものであり、電圧V1がオフになつた直後にバッテリ13が回路を安定化させるまで回路動作を適正に保つべく継続的な電力を保証するため、十分なエネルギーをたくわえるためのものである。

ホスト・マシン3の端子7cは電圧V2を与える。V2はV1とは電気的に分離されているが、この回路ではV1とは大きさが等しい。V2は、端子5c、ライン21及び、キヤバシタ25と並列の抵抗23を介してアースに接続されている。この抵抗とキヤバシタとの結合回路は、論理的な回路の直流電流動作には重要でない部分であるが、瞬間的な高電流に対してはそれをアースへ逃がす分流器として働く。

ホスト・マシン3の端子7d、7e及び7fは、チップ選択論理回路27の8本のラインから1本を選択するために2進論理信号を伝達する。このチップ選択動作は、抵抗28を介してライン29に、抵抗31を介してライン33に、抵抗35を介してライン37にそれぞれ接続され、電圧V2を印加されたライン21によつて有効化される。RAMチップの選択を決定するためには、端子7d、7e及び7fのめいめいがホスト・マシン3によってV2またはアース電位のどちらかを印加する。例えば、ある選択状態では、端子7dがV2に、端子7eがアースに、端子7fがV2に、それぞれ設定される。するとブルアップ抵抗28及び35の両端には、電位差を生じないので、ライン29及び37は電位V2にある。一方、端子7eに加えられたアース電位により、ラ

イン 3 3 上がアース電位になり、抵抗 3 1 には V 2 の降下が生じる。

チップ選択回路は、3つの入力を受け取つて、8つの出力ライン 3 9 a～3 9 h のうちの1つに低レベル信号を出力する標準的な素子（特に、74HC1383-8 デコーダ）である。各出力ラインは、低レベルであるとき1つのメモリ素子またはチップ 4 0 a～4 0 h（図では便宜上 4 0 a と 4 0 d のみが示されている）を選択する。

チップ選択回路 2 7 は、2つの制御入力端子をもつている。この制御入力端子は本発明にとって特に重要であるので、図示されている。2本の制御入力端子のうち1本は非活動化入力であり、端子 5 g からライン 4 2 上で信号を受け取る。回路 2 7 はライン 4 2 上の高レベル入力信号により非活動化され、それゆえ、逆の応答をあらわすマイナスの信号が回路 2 7 に関して図示されている。ライン 4 2 は、抵抗 4 4 を介して電圧供給ライン 9 に接続されている。カートリッジ 1 が差し込まれていないときは、抵抗 4 4 には電流が流れることができず、それゆえ低減されないバッテリの電圧がライン 4 2 から回路 2 7 への入力である。これは回路 2 7 を非活動化する高レベル電圧であり、回路 2 7 の非活動化によりライン 3 9 a～3 9 h の低レベル信号が禁止される。

一方、カートリッジ 1 がホスト・マシン 3 に挿入されたときは、挿入動作の直後ののみホスト・マシン 3 が端子 7 g 上に高レベル電圧を加える。その間、すべての端子が接続されていなくともよい。（この信号は、例えば端子 5 a～5 i に類似する端子の感知に応答して、ホスト・マシン 3 のデータ処理機能により発生することができる。）カートリッジ 1 を挿入した後は、ホスト・マシン 3 は端子 7 g に継続的にアース電圧を印加し、これによりライン 4 2 にはアース電圧が加えられて、ライン 4 2 をアース・レベルに維持するべく抵抗 4 4 を流れる電流が生じる。

ライン 4 6 上のチップ選択回路 2 7 への入力もまた回路 2 7 に対する選択または制御入力である。ライン 4 6においては、高レベル入力により回路 2 7 が活動化されるので、回路 2 7 に対するライン 4 6 の信号はプラスである。ライン 4 6 は回路 2 7 を端子 5 h に接続する。そして、カートリッジ 1 のメモリチップ 4 0 a～4 0 h のうち 1

つが選択されたときに、ホスト・マシン 3 からの対応する端子 7 h が高レベルになる。

ライン 4 6 は、通常の逆バイアスされたダイオード 5 0 と並列に接続された抵抗 4 8 を介してバ 5 イポーラ・スイッチング・トランジスタ 5 2（特に、2N222Aスイッチング・トランジスタ）のベースに接続されている。比較的大きい抵抗値をもつ第2の抵抗 5 4 が、トランジスタ 5 2 のベースとアースの間に接続されている。抵抗 5 4 は理 10 論的な定常動作に影響を与えない程度の大きさの抵抗値をもつが、トランジスタ 5 2 のターンオフを高速化し、カートリッジ 1 が差し込まれていないときにライン 4 6 をアース電位の近くの電位に保つことを助ける働きがある。ダイオード 5 0 15 は、ライン 4 6 上の電圧レベルが降下したときトランジスタ 5 2 のベース領域からチャージを直ちに除去する働きがある。

トランジスタ 5 2 のコレクタは抵抗 5 6 を介してライン 9 上のバッテリ電圧に接続されている。トランジスタ 5 2 のエミッタは、ライン 5 8 を介して端子 5 i に接続されている。端子 5 i はホスト・マシン 3 の端子 7 i に係合する。端子 7 i は通常は抵抗 6 0 を介して電圧 V 2 を加えられ、抵抗 6 0 は端子 7 i をライン 6 2 に接続する。ホスト・マシン 3 は、動作がメモリ 4 0 a～4 0 h への書き込み動作である場合を除きライン 6 2 を開放状態とする。メモリへの書き込み動作においては、ライン 6 2 から端子 5 i 及びライン 5 8 を介してトランジスタ 5 2 のエミッタにアース電圧が加えられる。それと同時に、ライン 4 6 には高レベル電圧が加えられる。

トランジスタ 5 2 のコレクタから接続されたライン 6 4 はメモリチップ 4 0 a～4 0 h までの各々の書き込み制御入力として接続されている。各メモリ素子またはチップ 4 0 a～4 0 h は数千個のメモリ・セルをもち、個々のセルは典型的には電圧を保持するために交差結合したラツチである。また、各メモリ・チップはすべてのメモリ・セルへのアクセス及び制御をはかるための回路をも備えている。特にこの実施例では、メモリ・チップ 4 0 a～4 0 h は東芝のTC5517 CMOS スタチックRAMである。しかし、この発明に関しては、チップ 4 0 a～4 0 h は高速読み取り制御入力をもつ任意のものでよい。そのような制御は

典型的には読み取り信号が高レベルのときに入力データ・ラインをメモリから分離するために单一の出力信号を発生する論理回路への入力である。読み取り信号が低レベルであり、チップ選択信号とその論理回路への別の入力が一致したときに、その出力信号がデータ・ラインからメモリへの有効な伝達を開放する。この双対動作は、一般に読み取り／書き込みライン、という用語で呼ばれる制御入力をもたらす。

そのような読み取り／書き込みラインをもつメモリの設計は一般的であり、きわめて広汎に実用化されている。そのライン上の活動化された読み取り状況は、個々のメモリ・セルに存在する状況が、読み取りの目的でセルを感知する間に生じ得る遷移信号によって変更されるのを防止することを促す。

メモリ設計の仕様は、メモリ・チップ40a～40hの製造者に応じて異なるてもよい。この発明は、読み取り／書き込み制御をもつメモリの保護をある程度の有効性を以つて達成し、その保護動作は、そのメモリをもつカートリッジが取り外されているときに実行される。

図示されるように、ライン9上の電圧は動作電圧としてメモリチップ40a～40hに印加される。カートリッジ1が取り外されているときは、データを保持するためにはメモリ・チップ40a～40hに電力を供給する必要がある。ライン9へのチップ選択回路の接続はデータ保持にとつて本質的ではないが、それは、回路27がチップ選択ラインを不作動状態である高レベルに設定するときの2次的な保護の役目を果たす。

カートリッジ1が差し込まれていないときは、ライン9上の電圧を維持するためにバッテリ13が有効となる。チップ選択回路27はバッテリ13から動作電圧を受け取るが、ライン42上の高レベル電圧により積極的に非活動化される。回路27への選択入力であるライン29, 33及び37上の電圧、及びライン46の電圧は基準電圧源に接続されておらず静電的なチャージにより高レベルに立ち上ることがある。しかし、ライン42上の高レベル電圧が回路27の非選択状態を維持する。

カートリッジ1が挿入されていない場合には、トランジスタ52が積極的にオフになるようにバ

イアスされる。というのは、トランジスタ52は電流駆動デバイスであり、端子5hと5iがいかなる基準電源にも接続されていないからである。これにより抵抗56に電流が流れるのが防止され、バッテリ13の電圧がライン64上に加えられる。ライン64はメモリ40a～40hの読み取り／書き込み制御入力に接続されており、ライン64上の高レベル信号は読み取り入力状態と解釈されるので、メモリ40a～40h中のデータ

10が書き込み動作から保護される。

カートリッジ1が挿入された状態では、ライン64に直接接続されるのではなくトランジスタ52のエミッタに接続される端子7iと、同様に、トランジスタ52のベースに接続される端子7hを除いて、端子7a～7g上の論理及び電力素子が直接、制御または電力を供給されるべきカートリッジの素子に接続される。ホスト・マシン3はカートリッジ1が活動化される毎に端子7hに高レベル信号を与え、これによりライン46に高レベル電圧が加えられる。この信号は、端子7iが低レベルにプルダウンされることによりカートリッジ1に書か込み動作が選択される毎に、トランジスタ52のベース・エミッタ回路と抵抗48を介して電流を流す作用を行う。これにより、トランジスタ52を介して増幅された電流が引き起こされ、回路27によって選択されたメモリ40a～40hの書き込み動作を選択するのに十分なだけライン64上の電圧が低減される。

#### G 発明の効果

30 以上のように、この発明によれば、読み出し・書き込み可能なメモリをもち、ホスト・マシンに着脱可能なカートリッジのメモリ保護装置において、ホスト・マシンとの離脱時に端子が浮遊状態にあることを感知してメモリの書き込みを積極的に阻止する回路を設けたので、静電的なチャージなどによる誤データの書き込みが完全に防止できるという効果が得られる。

#### 図面の簡単な説明

40 図は、本発明の回路図である。  
 13……バッテリ、40a～40d……メモリ、52……バイポーラ・トランジスタ、5h…  
 …第1の端子、5i……第2の端子、64……接続するための手段。

(6)

特公 平 3-18218

